

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-224109

(43)Date of publication of application : 02.10.1987

(51)Int.Cl.

H03K 3/023

H03K 5/24

H03K 12/00

(21)Application number : 61-067753

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 26.03.1986

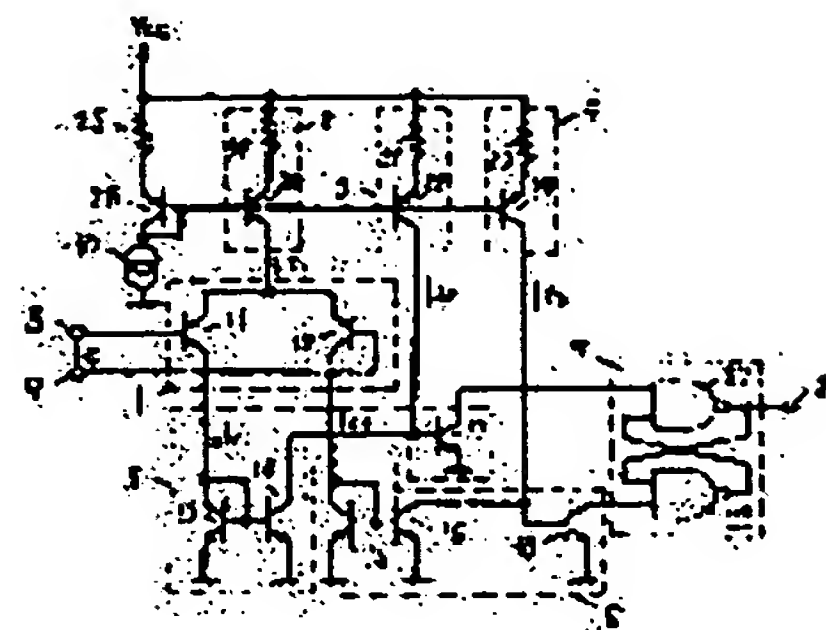
(72)Inventor : INAJI TOSHIO
FUJIOKA SOICHIRO
YAMAMOTO SUSUMU

(54) WAVEFORM SHAPING CIRCUIT

(57)Abstract:

PURPOSE: To obtain a waveform shaping circuit converting a differential input signal into a signal end output signal by combining a collector output of each transistor (TR) of a differential amplifier and an output of a constant current circuit respectively and inputting the result to a flip-flop circuit.

CONSTITUTION: The combined signal being the combination of the difference between the collector output of one TR 11 of the differential amplifier 1 and the output of the 2nd constant current circuit 3 and the combined signal being the combination of the difference between the collector output of the other TR of the differential amplifier 1 and the output of the 3rd constant current circuit are inputted respectively to a flip-flop circuit 7 and an output pulse is obtained from an output terminal 29 of the flip-flop circuit 7. The signal fed to a differential input terminal of the differential amplifier is waveform- shaped with an optional hysteresis width independently of the fluctuation of the power voltage by selecting freely the ratio of output currents of the 1st constant current circuit 2 and the 2nd and 3rd constant current circuits 3, 4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

昭62-224109

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)10月2日

H 03 K 3/023
5/24
12/00D-8425-5J
7259-5J
7259-5J

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 波形整形回路

⑯ 特 願 昭61-67753

⑰ 出 願 昭61(1986)3月26日

⑱ 発 明 者	稲 治 利 夫	門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	藤 岡 総 一 郎	門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	山 本 進	門真市大字門真1006番地	松下電器産業株式会社内
⑲ 出 願 人	松下電器産業株式会社	門真市大字門真1006番地	
⑳ 代 理 人	弁理士 中尾 敏男	外1名	

明 細 書

1、発明の名称

波形整形回路

2、特許請求の範囲

(1) 差動形式の入力端子を有する差動増幅器と、前記差動増幅器に定電流を供給する第1の定電流回路と、前記第1の定電流回路と電流の大きさの異なる第2および第3の定電流回路と、前記差動増幅器の一方のトランジスタのコレクタ出力と第2の定電流回路の出力とが入力された第1の合成回路と、前記差動増幅器の他方のトランジスタのコレクタ出力と第3の定電流回路の出力とが入力された第2の合成回路と、前記第1および第2の合成回路の出力がそれぞれ入力されたフリップフロップ回路より構成され、前記フリップフロップ回路の出力端子から出力パルスを得るようにした波形整形回路。

(2) 第1の合成回路は、差動増幅器の一方のトランジスタのコレクタに入力が直列接続された第1のカレントミラー回路と、前記第1のカレン

トミラー回路の出力と第2の定電流回路の出力との差を合成しその合成信号をベースに加えられた第1のトランジスタより構成され、第2の合成回路は、差動増幅器の他方のトランジスタのコレクタに入力が直列接続された第2のカレントミラー回路と、前記第2のカレントミラー回路の出力と第3の定電流回路の出力との差を合成しその合成信号をベースに加えられた第2のトランジスタより構成され、前記第1および第2のトランジスタの各コレクタ出力がフリップフロップ回路に接続された特許請求の範囲第(1)項記載の波形整形回路。

3、発明の詳細な説明

産業上の利用分野

本発明は連続的に変化する入力波形を方形波状の波形に変換する波形整形回路に関するものである。

従来の技術

従来の波形整形回路としては、第2図に示すようなシュミット回路がよく知られている。第2図

において、31、32はトランジスタで、それぞれのコレクタは抵抗33、34を介して電源電圧 V_{CC} に接続されている。各トランジスタ31、32のエミッタは共通接続され、抵抗35を介して接地されている。トランジスタ31のコレクタにはトランジスタ32のベースが接続されている。トランジスタ31のベースは信号が入力される入力端子36で、トランジスタ32のコレクタは波形整形後の信号が出力される出力端子37である。

以下に、第2図の波形整形回路の動作について説明する。

入力信号が零のときはトランジスタ31はシャ断状態で、トランジスタ32は導通状態である。抵抗33、34、35のそれぞれの抵抗値を R_1 、 R_2 、 R_E とすれば、エミッタ電圧 V_{E1} はトランジスタ32のエミッタ、コレクタ電圧は零で飽和状態であるから、電源電圧 V_{CC} を R_2 と、 R_E の比に分割した値となる。

$$\therefore V_{E1} = \frac{R_E}{R_E + R_2} \cdot V_{CC} \quad \dots\dots(1)$$

トランジスタ31がシャ断状態になりトランジスタ32は導通状態になって出力端子37からは“L”レベルの信号が出力される。

以上より入力端子36に信号が加えられて、出力端子37から“H”レベルの信号が出力されるとき、入力信号レベル V_1 と、入力端子36に加えられる信号レベルを減少させたときに、出力端子37から“L”レベルの信号が出力されるとき、入力信号レベル V_2 はそれぞれ(3)、(4)式で表わされる。

$$\begin{aligned} V_1 &= V_{E1} + V_{BE} \\ &= \frac{R_E}{R_E + R_2} \cdot V_{CC} + V_{BE} \quad \dots\dots(3) \end{aligned}$$

$$\begin{aligned} V_2 &= V_{E2} + V_{BE} \\ &= \frac{R_E}{R_E + R_1} \cdot V_{CC} + V_{BE} \quad \dots\dots(4) \end{aligned}$$

したがって、出力端子37から“H”レベルの信号が出力される入力レベル V_1 と、出力端子37から“L”レベルの信号が出力される入力レベル

したがって、トランジスタ31に入力が加わり、入力レベル V_1 が $V_{E1} + V_{BE}$ (V_{BE} はベース・エミッタ間電圧降下)になったときに、共通エミッタ抵抗35の帰還作用で急速にトランジスタ31が導通状態になり、トランジスタ32がシャ断状態になって出力端子37からは“H”レベルの信号が出力される。

次にトランジスタ31のベースに加わる入力信号レベルを減少させたときに、トランジスタ31が導通状態、トランジスタ32がシャ断状態から反転する入力レベル V_2 を求める。反転するときのエミッタ電圧 V_2 は、トランジスタ31が飽和状態で、エミッタ、コレクタ間電圧が零であるから、電源電圧 V_{CC} を R_1 、 R_E の比に分割した値となる。

$$\therefore V_{E2} = \frac{R_E}{R_E + R_1} \cdot V_{CC} \quad \dots\dots(2)$$

したがって、トランジスタ31のベースに加わる入力レベルが減少して $V_{E2} + V_{BE}$ になったとき、共通エミッタ抵抗35の帰還作用で急速にト

V_2 との間の電圧差 ΔV (ヒステリシス) は(3)。

(4)式より

$$\begin{aligned} \Delta V &= V_1 - V_2 = \frac{R_E}{R_E + R_2} \cdot V_{CC} \\ &\quad - \frac{R_E}{R_E + R_1} \cdot V_{CC} \quad \dots\dots(5) \end{aligned}$$

と表わされ、ヒステリシス ΔV は抵抗23、24の抵抗値 R_1 と R_2 の値 ($R_1 > R_2$) によって自由に選ぶことができる。

(例えば、実用電子回路ハンドブック<1>CQ出版社)

発明が解決しようとする問題点

このような従来の回路では、ヒステリシス巾が電源電圧の大きさに依存するうえ、入力端子が単一入力であるため、例えばホール素子の出力の如き差動信号を取り扱う場合には不向きであった。

本発明はかかる点に鑑みてなされたもので、簡易な構成で、差動入力信号をシングルエンドの出力信号に変換する波形整形回路を提供することを目的としている。

問題点を解決するための手段

本発明は上記問題点を解決するため、差動形式の入力端子を有する差動増幅器と、差動増幅器に定電流を供給する第1の定電流回路と、前記第1の定電流回路と電流の大きさの異なる第2および第3の定電流回路と、前記差動増幅器の一方のトランジスタのコレクタ出力と第2の定電流回路の出力の差を合成した合成信号と、前記差動増幅器の他方のトランジスタのコレクタ出力と第3の定電流回路の出力の差を合成した合成信号とがそれぞれ入力されたフリップフロップ回路より構成し、前記フリップフロップ回路の出力端子から出力パルスを得るものである。

作用

本発明は上記した構成により、第1の定電流回路と第2および第3の定電流回路との各出力電流の比を自由に選ぶことによって、電源電圧の変動に無関係に任意のヒステリシス巾で、差動増幅器の差動入力端子に加えられた信号を波形整形し、フリップフロップ回路の出力端子から安定したパ

ルスを出力することができる。

れている。トランジスタ26のエミッタは抵抗25を介して電源電圧 V_{CC} に接続されている。すなわちトランジスタ20、22、24、26と抵抗19、21、23、25はカレントミラー回路を構成している。10はカレントミラー回路の指令電流源で、出力はトランジスタ26のコレクタに接続されている。5は第1の合成回路で、コレクタとベースが接続されたトランジスタ13と、ベースが共通接続されたトランジスタ14より構成されたカレントミラー回路と、ベースにトランジスタ14のコレクタとトランジスタ22のコレクタとが共に接続されたトランジスタ17より構成されている。6は第2の合成回路で、コレクタとベースが接続されたトランジスタ15と、ベースが共通接続されたトランジスタ16より構成されたカレントミラー回路と、ベースにトランジスタ16のコレクタとトランジスタ24のコレクタとが共に接続されたトランジスタ18より構成されている。7はフリップフロップ回路で、2入力端子を有するNAND回路27、28で構成され、

ルス出力を得ることができる。

実施例

第1図は本発明の波形整形回路の一実施例を示す回路構成図である。以下図面を参照しながら説明する。第1図において、1は差動増幅器でエミッタを共通接続されたトランジスタ11、12で構成されトランジスタ11、12のベースはそれぞれ入力端子8、9に接続されている。2は第1の定電流回路で、トランジスタ20のエミッタは抵抗19を介して電源 V_{CC} に接続され、トランジスタ20のコレクタはトランジスタ11、トランジスタ12の共通エミッタに接続されている。3は第2の定電流回路で、抵抗21とエミッタが抵抗21を介して電源 V_{CC} に接続されたトランジスタ22より構成され、4は第3の定電流回路で、抵抗23とエミッタが抵抗23を介して電源 V_{CC} に接続されたトランジスタ24より構成されている。トランジスタ20、22、24の各ベースはそれぞれ共通接続され、コレクタ、ベースが接続されたトランジスタ26のベースに接続さ

NAND回路27、28の各出力は互いに他のNAND回路の一方の入力端子に接続されている。NAND回路27、28の他方の入力端子にはそれぞれトランジスタ17、18のコレクタが接続されている。29は波形整形回路の出力端子で、NAND回路27の出力に接続されている。

第3図は本発明の波形整形回路の動作を説明するための信号波形図である。第3図において(a)は差動入力端子8、9の間に加えられる差動入力信号を示したものである。(b)はトランジスタ11のコレクタ電流 i_1 と、トランジスタ22のコレクタ電流 i_2 を示したもので、(c)はトランジスタ12のコレクタ電流 i_3 と、トランジスタ24のコレクタ電流 i_4 を示したものである。差動入力端子8、9に加えられる入力信号が零のときトランジスタ20のコレクタ電流 i_1 は、エミッタを共通接続されたトランジスタ11とトランジスタ12とに半分ずつ流れる。次に差動入力端子8、9に加えられる入力信号の大きさが増加(入力端子8に比べて入力端子9の電位が上昇)するにつ

れてトランジスタ11のコレクタ電流 i_1 は徐々に増加し、トランジスタ12のコレクタ電流 i_2 は徐々に減少する。そして入力端子8、9に加えられる入力信号の大きさがある値を超えると、トランジスタ20のコレクタ電流 i_1 はすべてトランジスタ11に流れ、トランジスタ12には電流は流れない。逆に差動入力端子8、9に加えられる入力信号の大きさが減少（入力端子8に比べて入力端子9の電位が下降）するにつれて、トランジスタ11のコレクタ電流 i_1 は徐々に減少し、トランジスタ11のコレクタ電流 i_2 は徐々に増加する。そして入力端子8、9に加えられる入力信号の大きさがある値以下になると、トランジスタ20のコレクタ電流 i_1 はすべてトランジスタ12に流れ、トランジスタ11には電流が流れなくなる。(d)はトランジスタ17のコレクタ電圧を示したものである。トランジスタ17のベースには、トランジスタ22とトランジスタ14のコレクタがそれぞれ接続されている。トランジスタ14のコレクタには、トランジスタ11のコレク

$i_1 - i_2 > 0$ つまり $i_1 > i_2$ のとき、トランジスタ18は導通状態となり、トランジスタ18のコレクタ電圧は“L”レベルとなる。逆に $i_1 \leq i_2$ のときはトランジスタ18はシャ断状態となってトランジスタ18のコレクタ電圧は“H”レベルになる。(f)はフリップフロップ回路7の出力が接続された出力端子29の出力波形を示したものである。フリップフロップ回路7を構成するNANDゲート27および28の各入力端子には、トランジスタ17、18の各コレクタ出力（第3図の(d)、(e)）がそれぞれ接続されている。トランジスタ17のコレクタが“H”レベルから“L”レベルに変化するとき、トランジスタ18のコレクタは“H”レベルにあり、トランジスタ17のコレクタが接続されたNANDゲートの出力は“L”レベルとなり出力端子29から“L”レベルの信号が出力される。次にトランジスタ18のコレクタが“H”レベルから“L”レベルに変化するとき、トランジスタ17のコレクタは“H”レベルにあり、トランジスタ18のコレク

タ電流 i_1 をトランジスタ13、14より構成されたカレントミラー回路によって吸い込み電流に変換された電流（大きさは i_1 と同一とする）が流れるので、トランジスタ17のベースには全体で $i_2 - i_1$ の電流が流れる。したがって、 $i_2 - i_1 > 0$ つまり $i_2 > i_1$ のとき、トランジスタ17は導通状態となり、トランジスタ17のコレクタ電圧は“L”レベルとなる。逆に $i_2 \leq i_1$ のときはトランジスタ17はシャ断状態となってトランジスタ18のコレクタ電圧は“H”レベルになる。(g)はトランジスタ18のコレクタ電圧を示したものである。トランジスタ18のベースには、トランジスタ24とトランジスタ16のコレクタがそれぞれ接続され、トランジスタ16のコレクタには、トランジスタ12のコレクタ電流 i_2 をトランジスタ15、16より構成されたカレントミラー回路によって吸い込み電流に変換された電流（大きさは i_2 と同一とする）が流れるので、トランジスタ18のベースには全体で $i_1 - i_2$ の電流が流れる。したがって、

タが接続されたNANDゲートの出力は“H”レベルとなりNANDゲート27の出力は“H”レベルから“L”レベルに反転し、出力端子29からは“L”レベルの信号が出力される。

以上の動作について、数式を用いて、より詳細に説明する。差動増幅器1を構成するトランジスタ11とトランジスタ12の共通エミッタに供給される定電流を I_1 、トランジスタ11のコレクタ電流を i_1 、トランジスタ11のエミッタからコレクタまでの電流増幅率を α とすれば、次の関係式が成立する。

$$i_1 = \frac{\alpha \cdot I_1}{1 + \exp \frac{e}{V_T}} \quad \dots \dots (6)$$

ただし、 e ：差動入力電圧

$$V_T = \frac{k T}{q} \text{ 熱電圧. 常温では } V_T \approx 26 \text{ mV}$$

(6)式を変形すると

$$e = V_T \ln \left(\alpha \frac{I_1}{i_1} - 1 \right) \quad \dots \dots (7)$$

となる。

$i_1 = i_2$ のときに、出力端子 29 の出力が
 ・L・レベルから・H・レベルに反転するから、
 そのときの差動入力電圧を e_1 とすれば、
 (7)式より

$$e_1 = V_T \ln \left(\alpha \frac{i_1}{i_2} - 1 \right) \dots\dots(8)$$

と表わされる。

同様に、 $i_2 = i_3$ のときに、出力端子 29 の
 出力が・H・レベルから・L・レベルに反転する
 から、そのときの差動入力電圧を e_2 とすれば、

$$e_2 = -V_T \ln \left(\alpha \frac{i_1}{i_3} - 1 \right) \dots\dots(9)$$

と表わされる。

以上の動作に基づき、差動入力電圧と出力電圧
 の関係を図示すれば、第4図の動作特性が得られ
 る。ヒステリシス ΔV は $e_1 - e_2$ で求められる。

(8)、(9)式より明らかなように、第1図に示した
 実施例では、ヒステリシス ΔV はトランジスタ
 20 のコレクタ電流 i_1 と、トランジスタ 22 の
 コレクタ電流 i_2 およびトランジスタ 24 のコレ

クタ電流 i_3 とのそれぞれの比 i_1 / i_2 および
 i_1 / i_3 の値を選ぶことにより、自由に設定す
 ることができる。つまり、トランジスタ 20、

22、24、26 および抵抗 19、21、23、

25 はカレントミラー回路を構成しているので、

第1図に示した実施例では、抵抗 19 と、抵抗
 21 との抵抗比および抵抗 19 と抵抗 21 との抵
 抗比を任意に選ぶことによりヒステリシス ΔV を
 自由に設定することができる。

発明の効果

以上述べてきたように、本発明によれば、簡易
 な回路構成で、差動入力信号をシングルエンドの
 出力信号に変換できる。さらにヒステリシスは第
 1 の定電流回路と、第2および第3の定電流回路
 の各出力電流の比を自由に選ぶことによって、任
 意に設定することができる。しかもヒステリシス
 巾は、定電流回路の各出力電流の比で決定され
 るので、電源電圧の変動に影響されず、実用的にき
 わめて有用である。

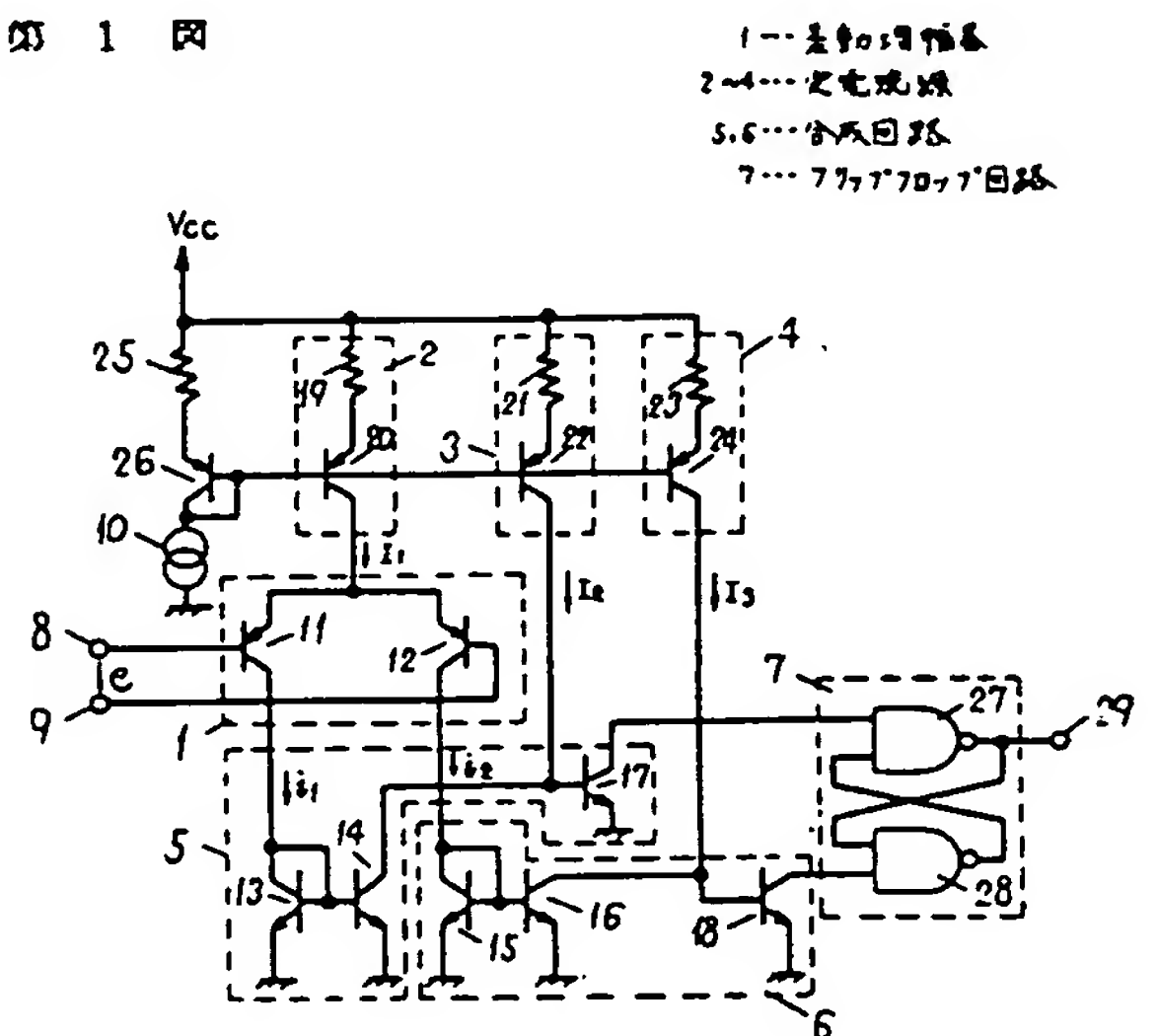
4、図面の簡単な説明

第1図は本発明の一実施例における波形整形回
 路の回路構成図、第2図は従来の波形整形回路の
 回路構成図、第3図および第4図は本発明の波形
 整形回路の要部信号波形図および動作を説明する
 特性図である。

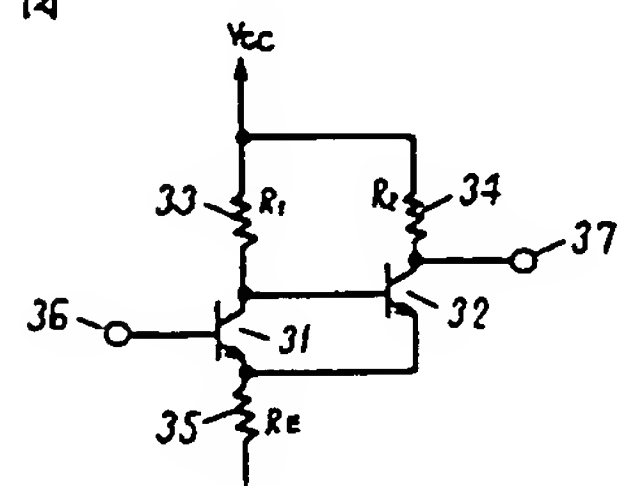
1……差動増幅器、2、3、4……定電流源、
 5、6……合成回路、7……フリップフロップ回
 路、8、9……入力端子、29……出力端子。

代理人の氏名 弁理士 中尾敏男 ほか1名

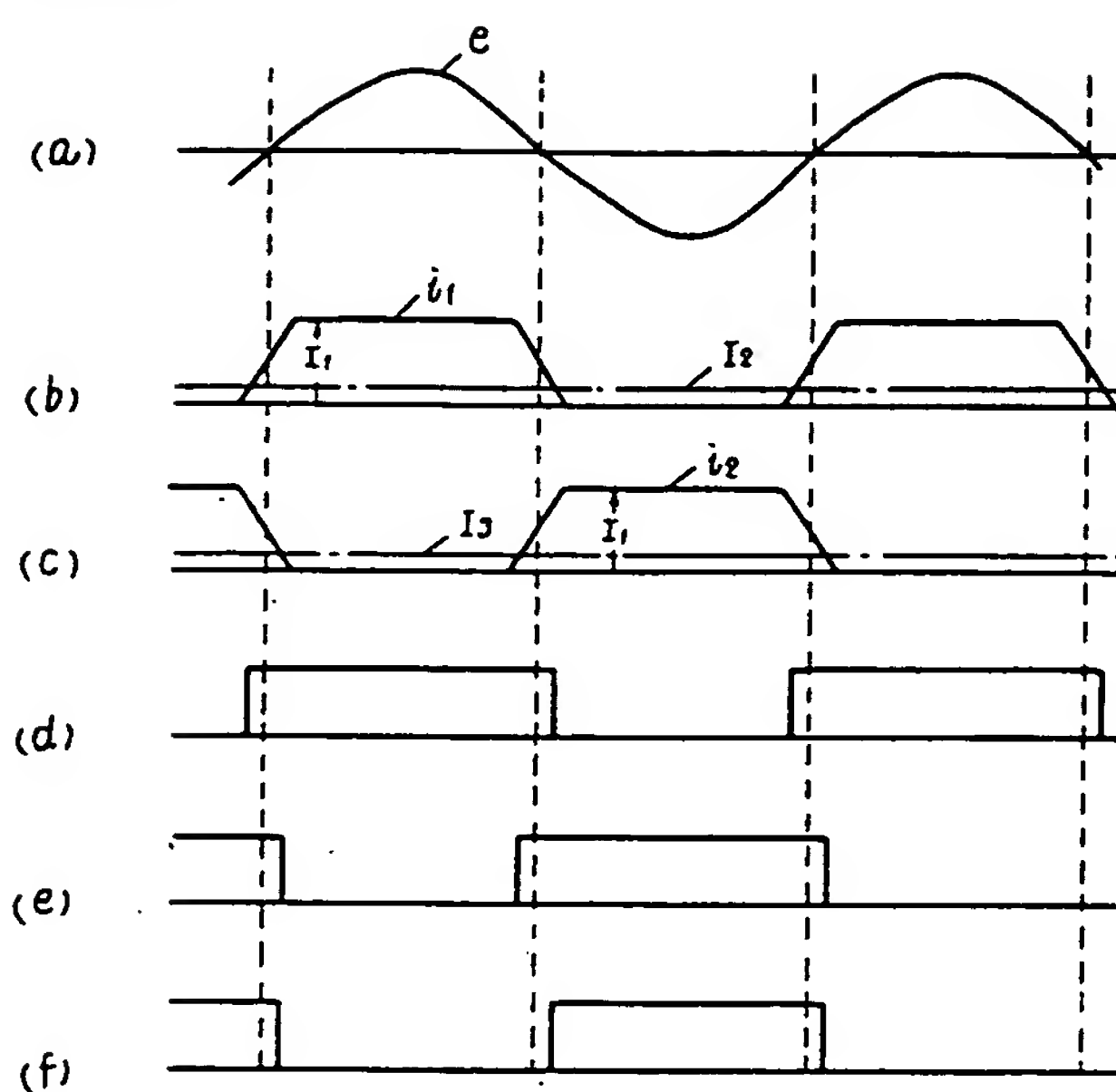
第1図



第2図



第 3 図



第 4 図

